# Перелік питань до іспиту

# з курсу «Архітектура комп’ютерних систем»

1 Короткий історичний огляд розвитку обчислювальної техніки. Приклади електронних машин.

Механічні машини: Сумуюча машина Леонардо да Вінчі, Машина Паскаля, Машина Лейбніца,

Арифмометр “Фелікс” Аналогова техніка: Польський аналоговий комп'ютер “АКАТ-1”, Різницева машина Бебеджа. Г. Електронно-обчислювальні машини (ЕОМ): Z1 - Z5, ЕОМ Еніак, ЕДВАК, МЕСМ, ЕОМ “Урал-1”., ЕОМ Промінь, IBM 360/370 — серія ЕС10хх;PDP 11 — серія СМ, Мікро-ЕОМ Altair, IBM PC (фірмове позначення IBM 5051),

2 Принцип функціонування механічних машин. Приклади машин.

Зовсім недавно (1967р.) дослідники знайшли у щоденниках Леонардо да Вінчі (1452-1519) ескіз сумуючої

машини на зубчатих колесах, спроможної додавати 13-розрядні десяткові. Джон Непер розробив дерев’яний арифмометр, однак найвідомішою стала обчислювальна машина Блеза Паскаля (1643-45), у якій йому вдалося розв’язати задачу перенесення десятків.Головна ідея механічної обчислювальної машини полягала у тому, що числа відображали за допомогою лічильних коліщаток або валиків з зубцями. Коліщаткам надавали руху за допомогою конічних чи циліндричних зачеплень. Розряд фіксували за допомогою штифтів. Машина Лейбніца (1673) – це арифмометр на чотири дії, в основі якого був валик із зубцями (виконував додавання, множення і ділення 12-розрядних десяткових чисел).Жакар винайшов ткацький верстат з перфокартами для задання узору — майже через два століття перфокарти масово використовувались для уведення даних і програм в ЕОМ. У 1885 р. Д. Фельт сконструював комптометр, у якому числа вводили з клавіатури, а у 1885 р. американець У. Берроуз в виготовив машину, яка друкувала вхідні дані та результати . Більше ніж через 150 років російський службовець В.Т.Однер (1876) удосконалив конструкцію колеса

3 Принципи побудови ЕОМ фон-Неймана.

А. Щодо пристроїв комп’ютера, то він повинен містити:

арифметико-логічний пристрій, який виконує арифметичні та логічні операції;пристрій керування, який організовує процес виконання програм;запам’ятовувальний пристрій, або пам’ять для зберігання програм і даних;зовнішні пристрої для введення і виведення інформації.

Ці пристрої повинні взаємодіяти між собою за такою схемою:

Арифметико-логічний пристрій Пристрій керування Зовнішні пристрої в/в інформації. Запам'ятовувальний пристрій

Б. Щодо принципу функціонування комп’ютера:

програма розташовується у пам’яті, причому пам’ять повинна бути двох типів – швидка (оперативна)

та повільніша (зовнішня);програмне керування виконанням завдань, тобто пристрій керування зчитує вміст комірки пам’яті, де є перша команда (інструкція), і організовує її виконання;наявність умовного переходу, що дає змогу змінювати послідовність виконання команд, розташованих у пам’яті підряд;

для відображення інформації необхідно застосовувати двійкову систему числення.

4 Назвіть основні характеристики ЕОМ різних поколінь.

У 1947 р. академікС.О.Лебедєв очолив роботи з розробки ЕОМ (МЭСМ), яка повністю ґрунтувалась на принципах Неймана. Її дослідну експлуатацію розпочато 1950 р., а промислову – 1951 р. в Україні Це була ЕОМ першого покоління. Швидкодія такої машини становила 50 операцій за секунду. Швидкодія цих машин не перевищувала 20 тис. операцій за секунду, а ємність оперативної пам'яті –1 Кбайт. Початок другого покоління ЕОМ (напівпровідникова елементна база) умовно починається з вірменської розробки “Раздан-1”, яка з'явилася у промисловій експлуатації 1961 р. Швидкодія цих машин не перевищувала 80 тис. операцій за

секунду (крім ЕОМ "БЭСМ-6") а ємність оперативної пам’яті була в межах 16–32 Кбайти. Третє покоління ЕОМ – це не тільки нова елементна база для побудови електронних компонент

комп'ютера (інтегральні схеми), а й нова ідеологія, запозичена у фірми ІВМ. Нова епоха у розвитку ЕОМ розпочалася з появою схем високого ступеня інтегрування, а на їхній базі – персональних ЕОМ. Ще 1959 р. Роберт Нойс, майбутній засновник фірми “Intel”, винайшов спосіб інтегрування всіх необхідних електронних елементів на одній пластинці (те, що сьогодні називаємо чіпами). Однак перший комп’ютер на інтегральних схемах з’явився тільки 1968 р. (фірма Burroughs), а у 1970 р. Маршіан Едвард Хофф (фірма Intel) сконструював перший мікропроцесор Intel-4004, який

виконував усі функції центрального процесора великої ЕОМ.

5 Які існують обмеження на шляху збільшення продуктивності ЕОМ.

за 1 нс сигнал проходить 300 мм (швидкість світла). Практично 1 м сигнал проходить за 4–5

нс по коаксіальному кабелю або за 7,0–7,5 нс по смужковому провіднику (за 1 нс 130–250 мм). Якщо окремі 37інтегральні схеми (ІС) в пристрої будуть віддалені на 1м, то сигнал запізнюватиметься на 1 такт. Отже, потрібно:зменшувати розміри, тобто збільшувати ступінь інтеграції на кристалі;компактно розташовувати ІС на платі ;виготовляти якомога тонші провідники та зменшувати відстані між ними).

Ще один момент – виділення енергії, тобто перегрівання мікросхем

Далі – суперечність між швидкодією логічних схем, арифметико-логічних пристроїв і можливостями

запам’ятовувальних пристроїв .Є також головна семантична суперечність між мовами програмування високого рівня і кодом машинних команд.

6 Поняття про інформацію. Системи числення

Слово інформація походить від лат. informatio, що означає роз'яснення, виклад, обізнаність. Різні способи зображення інформації, спеціальнопристосовані для конкретних випадків, пов'язаних з передаванням, зберіганням та опрацюванням інформації, розглядає теорія кодування.У комп'ютері маємо справу з дискретними повідомленнями, або машинними одиницями інформації. Найпростіше слово складається з однієї букви, тоді I= logа2. Це і є кількість інформації найпростішого слова.

Зважаючи на те, що в обчислювальних системах головно послуговуються двійковою арифметикою, приймемо основу логарифма а=2. Тоді I= log22=1.Ця одиниця інформації у двійковому алфавіті називається біт і може мати значення 0 і 1

7 Як поміряти інформацію? Означення біта.

Нехай нам потрібно скласти слово як комбінацію з букв алфавіту. Алфавіт містить P букв, а слово – x символів.N=Px( кількість розміщень). Припустимо, що кількість інформації у якомусь повідомленні пропорційна до його довжини. Тоді з N=Px після логарифмування отримаємоlogаN= x logаP Величину xlogаP визначимо як кількість інформації I. Знайдемо найменше I, яке можна було б прийняти за одиницю інформації. Отже,Imin=x logа2. (1.3)Найпростіше слово складається з однієї букви, тодіI= logа2. (1.4)В обчислювальних системах головно послуговуються двійковою арифметикою, приймемо основу логарифма а=2. ТодіI= log22=1. Ця одиниця інформації у двійковому алфавіті називається біт і може мати значення 0 і 1 Отже, кількість інформації у будь-якому слові двійкового алфавіту завжди дорівнює кількості бітів у ньому. Біт є найменшою одиницею вимірювання інформації. На практиці частіше використовують похідні одиниці: байт, Кбайт, Мбайт, Гбайт, Тбайт. Між ними є такі співвідношення:1 байт=8 бітів 1 Кбайт=210 бітів=1024 байти 1 Мбайт=1024 Кбайти1 Гбайт=1024 Мбайти1Тбайт=1024ГбДо машинних одиниць інформації належать також: слово, запис, блок, файл. Деякі машинні одиниці мають аналоги з натуральними одиницями інформації: розряд, символ, поле, масив, запис.

8 Закони інверсії.

\_\_\_\_ \_ \_

А + В = А \* В

\_\_\_\_ \_ \_

А \* В = А + В

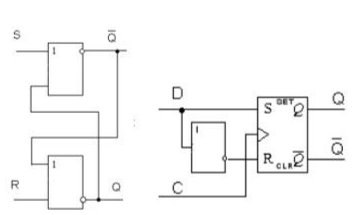
9 Яка відмінність у термінах ЕОМ і ПК?

ЕОМ (ЕЛЕКТРОННА ОБЧИСЛЮВАЛЬНА МАШИНА) – це, мабуть, найпоширеніше поняття до зовсім недавнього часу. Спочатку воно стосувалося перших електронних автоматичних пристроїв для опрацювання інформації. Однак з часом на ЕОМ почали щораз більше накладати функції інформаційного плану: зберігання, шукання, сортування, опрацювання інформації (в тім числі графічної, текстової,образної (передавання зображень), звукової). Розрізняють спеціалізовані ЕОМ; комплекси ЕОМ; універсальні ЕОМ; міні-, мікро-ЕОМ.

Комп’ютер (англ. сomputer – обчислювач) – спочатку в англомовних країнах, а тепер майже всюди, назва електронної обчислювальної машини. Головно слугує для передавання, опрацювання і зберігання інформації. Найбільше вживана форма випуску – персональні комп’ютери (ПК).

10 Що таке тригер і які типи тригерів Ви знаєте? Наведіть приклади побудови тригерів.

Головним елементом пам’яті ЕОМ є тригери - логічні пристрої, які мають два стійкі стани. Для перемикання тригерів з одного стану в інший використовують вхідні логічні схеми. За способом перемикання розрізняють такі тригери: RS-тригери з роздільним установленням 0 і 1; D-тригер із затримкою; JK-тригери (універсальні); T-тригери (лічильні);



11 Яка залежність продуктивності ЕОМ від кількості процесорів?

[Закон Густафсона](https://uk.wikipedia.org/w/index.php?title=%D0%97%D0%B0%D0%BA%D0%BE%D0%BD_%D0%93%D1%83%D1%81%D1%82%D0%B0%D1%84%D1%81%D0%BE%D0%BD%D0%B0&action=edit&redlink=1) це інший комп'ютерний закон, що сильно пов'язаний з законом Амдала. Його можна сформулювати так: S(P)=P-\alpha (P-1)\, де P це кількість процесорів, S — прискорення, а \alpha  нерозпаралелювана частина процесу.[[13]](https://uk.wikipedia.org/wiki/%D0%9F%D0%B0%D1%80%D0%B0%D0%BB%D0%B5%D0%BB%D1%8C%D0%BD%D1%96_%D0%BE%D0%B1%D1%87%D0%B8%D1%81%D0%BB%D0%B5%D0%BD%D0%BD%D1%8F#cite_note-13). Закон Амдала базується на припущенні того, що задача має фіксований розмір, і що розмір послідовної частини незалежний від кількості процесорів.

12 Назвіть три головні функції алгебри логіки. Подайте алгебричне та графічне представлення.

Логічний зв’язок “І” (**кон’юнкція**). Логічний зв’язок “АБО” (**диз’юнкція**). Логічний зв’язок “НЕ” (**заперечення**). алгебричне представлення у вигляді формули, а графічне у вигляді таблиці істинності.

13 Побудуйте таблицю істинності для стрілки Пірса та елемента Шеффера.

Для стрілки Пірса (**NOR**) [Таблиця істинності](https://uk.wikipedia.org/wiki/%D0%A2%D0%B0%D0%B1%D0%BB%D0%B8%D1%86%D1%8F_%D1%96%D1%81%D1%82%D0%B8%D0%BD%D0%BD%D0%BE%D1%81%D1%82%D1%96) виглядає таким чином:

|  |  |  |
| --- | --- | --- |
| ~A | ~B | ~A\downarrow B |
| 0 | 0 | **1** |
| 0 | 1 | **0** |
| 1 | 0 | **0** |
| 1 | 1 | **0** |

Для штриха Шеффера (**NAND**) [Таблиця істинності](https://uk.wikipedia.org/wiki/%D0%A2%D0%B0%D0%B1%D0%BB%D0%B8%D1%86%D1%8F_%D1%96%D1%81%D1%82%D0%B8%D0%BD%D0%BD%D0%BE%D1%81%D1%82%D1%96) виглядає таким чином:

|  |  |  |
| --- | --- | --- |
| ~A | ~B | ~A|B |
| 0 | 0 | **1** |
| 0 | 1 | **1** |
| 1 | 0 | **1** |
| 1 | 1 | **0** |

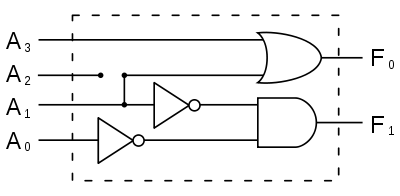
14 Які стани дозволені, а які заборонені у RS-тригері? Обгрунтуйте свої міркування.

Одночасне зняття двох **«1»** в **S** i **R** практично неможливе. При знятті однієї з «1» RS-тригер переходить в стан, що визначається другою «1». Таким чином RS-тригер має три стани, з яких два стійких (при знятті сигналів керування RS-тригер залишається у встановленому стані) і одне нестійке (при знятті сигналів керування RS-тригер не залишається у встановленому стані, а переходить в один з двох стійких станів).

15 Шифратори. Наведіть схему шифратора на 4 входи.

Двійковий шифратор виконує логічну функцію перетворення k-того однозначного коду в двійковий.

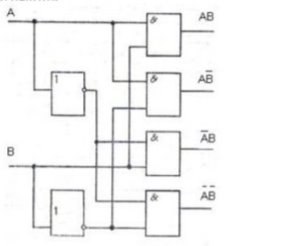
Якщо кількість вхідних даних (входів) рівна кількості можливих комбінацій сигналів на виході, то такий шифратор називається повним,в іншому випадку — неповним.



16 Для чого використовують шифратори та дешифратори? Наведіть схему дешифратора на 2 входи.

У обчислювальній техніці застосовують переважно багатоімпульсні шифратори, які дозволяють кодувати дані при записуванні програм на носії інформації чи дані, виражені якоюсь фізичною величиною. Дешифратори икористовують у багатьох пристроях, зокрема у пристроях керування, для розшифровування коду операції та видавання сигналів керування у ті кола машин, які

повинні працювати під час виконання цієї операції; у запам'ятовувальних пристроях для розшифрування адреси чикоманди, записування або читання коду з певної комірки пам'яті.



17 Які функції регістрів і які типи регістрів використовують у побудові ЕОМ?

Регістр – це вузол ЕОМ, який виконує тимчасове збереження та перетворення інформації. Регістри будують на основі тригерних схем. Кількість тригерів визначає розрядність слів, які записують чи зберігають у регістрі. Регістри є послідовні і паралельні, одно- і двотактні, зсувні і перетворювальні.Регістр є дуже зручним пристроєм для "зсування" інформації праворуч чи ліворуч або перетворення послідовного коду у паралельний. Затримку можна виконати також за допомогою тригера, що значно підвищує надійність роботи схеми. Зсув можна робити як праворуч, так і ліворуч. Такі регістри називають реверсивними. Якщо вихід Т1 подати на вхід Т4 то легко зауважити, що в разі подання імпульсів зсуву інформація у регістрі буде циркулювати. Такі регістри називають кільцевими.

18 Поняття про елементну базу ЕОМ. Лічильники.

Лічильник – пристрій, призначений для підрахунку кількості імпульсів. Лічильники бувають підсумовувальні, віднімальні та реверсивні. Реверсиний лічильник залежно від перекомутації може бути підсумовувальним або віднімальним. Будують лічильники на основі тригерів, використовують у пристроях керування та в арифметичних пристроях для рахунку номерів команд, кількості циклів програми, кількості тактів у разі множення і ділення, а також як суматори

19 Побудова лічильника N≠2n



20 Що таке суматор і які типи суматорів Ви знаєте?

Суматор – пристрій, що виконує сумування чисел на підставі правил порозрядного додавання з урахуванням переносів, які спрямовують у старші розряди.Суматори класифікують:

1. за виглядом елементів, які використовують – комбінаційного та накопичувального типів;

2. за способом уведення-виведення чисел – паралельної та послідовної дії;

3. за способом зображення чисел – двійкові та десяткові;

4. за способом організації перенесення – з послідовним та наскрізним перенесенням.

21 Опишіть роботу напівсуматора.

Суматор – пристрій, що виконує сумування чисел на підставі правил порозрядного додавання з урахуванням переносів, які спрямовують у старші розряди. Сигнал на виході (сума) утворюється тільки в разі визначенної комбінації вхідних сигналів (доданків), які подаються одночасно. Після зникнення вхідних сигналів вихідний сигнал зникає (запам’ятовувальних властивостей немає). Тому такі суматори працюють з регістром, у який записується результат.Процес сумування і перенесення з сусіднього розряду в однорозрядній сумувальній схемі розбито на дві аналогічні операції: сумування дворозрядних доданків і сумування з отриманим результатом одиниці перенесення. Кожну з функцій виконує схема, яку називають напівсуматором. Розглянемо роботу напівсуматора, яку описують логічними виразами для суми: Si = XiYi + XiYi = XiYi + XiYi + XiXi + YiYi =Xi(Xi+Yi) + Yi(Xi+Yi) = (Xi+Yi)(Xi+Yi)=XiYi(Xi+Yi) та перенесення Pi+1 = XiYi .

22 У чому полягає суть класифікації за інтегральними ознаками?

Доцільно скористатися поняттям архітектури ЕОМ як певним набором інтегральних характеристик, а саме: сукупність властивостей і характеристик, що визначають інформаційні зв'язки між ЦП, периферійними процесорами (ПП), ОП, зовнішньою пам'яттю і периферією; взаємодією і структурою потоків команд та потоків даних. Перша характеристика дає змогу врахувати такі особливості ЕОМ третього і четвертого поколінь, як багатопроцесорність, моношинна структура зв'язків, швидкодія, розподілена пам'ять.

23 Класифікація архітектур обчислювальних систем за взаємодією ЦП, ОЗУ, ПП.

ОС. Є такі структури:

однопроцесорна (з одним ЦП і периферійним процесором чи каналом) зі зв'язком через ЦП;

з одним потужним ЦП і кількома периферійними процесорами, що його обслуговують;

багатопроцесорна (кілька ЦП, ПП і секціонована ОП);

з магістральною шиною;

функціонально переналагоджувальна багатопроцесорна;

24 Як класифікують обчислювальні системи за функціональним призначенням?

Еом: аналогові (спеціальні, загального призначення, персональні), цифрові(спеціальні, мікроЕОМ(ПК),мініЕОМ,загального призначення, суперЕОМ), гібридні(спеціальні, загального призначення, персональні, нетрадиційної архітектури)

25 Приклади масс-процесорних систем.

Розрізняють такі мас-процесорні ОС:

багатопроцесорні скалярні (ІВМ 3090/200, ЕС 1065);

векторні і векторно-конвеєрні ( CDC 6600, Сray -1);

мас - процесорні з динамічною архітектурою;

спеціальні процесорні.

26 Класифікація архітектур обчислювальних систем за взаємодією потоку команд і потоку даних.

- Одній команді відповідає один необхідний для неї набір операндів; для бінарних операцій, як звичайно – два набори. Скорочено такий тип архітектури називають ОКОД (одна команда –одні дані); англійська абревіатура SISD (Single Instruction, Single Data).

- Для спеціальних процесорів, що опрацьовують зображеня, або асоціативних процесорів опрацьовується набір з множини даних. Це тип ОКБД (одна команда – багато даних); англійська абревіатура SIMD (Single Instruction, Multiple Data) (рис. 2.7). Кількість елементів, що опрацьовуються, може бути дуже великою (тисячі), проте їх опрацювання відбувається синхронно (приклад: сучасні процесори з технологією ММХ).

- Прикладом типу БКОД (багато команд – одні дані) може бути конвеєр, тобто послідовне опрацювання одного потоку даних багатьма опрацьовувальними ступенями конвеєра

- Тип БКБД (багато команд – багато даних) передбачає найповніше і незалежне розпаралелювання процесу

27 Де найчастіше реалізують тип взаємодії потоку команд і потоку данихОКБД?

процесори з технологією ММХ (**M**ulti**m**edia E**x**tensions — [мультимедійні](https://uk.wikipedia.org/wiki/%D0%9C%D1%83%D0%BB%D1%8C%D1%82%D0%B8%D0%BC%D0%B5%D0%B4%D1%96%D0%B0) розширення)

28 Як класифікують комп’ютери за способом виконання команд?

CISС (Complete Instruction Set Computer) — ЕОМ з повним набором інструкцій (команд), які виконує мікропроцесор.

Мікропроцесори з архітектурою RISC (Reduced Instruction Set Computer) використовують порівняно невеликий (скорочений) набір найуживаніших команд.

До сімейства RISC-процесорів належить також архітектура MIPS (англ.Microprocessor without Interlocked Pipeline Stages — мікропроцесор без блокувань в конвеєрі), яку розробляє компанія MIPS Technologies.

В деяких серверних процесорах та графічних процесорах (англ. GPU -Graphical Processor Unit) використовують архітектуру VLIW (англ. very long instruction word — «дуже довга машинна команда») — архітектуру процесорів з декількома обчислювальними пристроями.

Ще один тип ЕОМ — з MISC-архітектурою (Minimise Instruction Set Computer), які мають мінімальний набір інструкцій.

29 Що таке CISC- архітектура комп’ютерних систем?

CISС (Complete Instruction Set Computer) — ЕОМ з повним набором інструкцій (команд), які виконує мікропроцесор. До цього типу належить сімейство ПЕОМ на базі мікропроцесорів х86. Внаслідок широкого набору команд архітектура таких процесорів страждає від надміру апаратних ресурсів, склад і призначення регістрів досить неоднорідні. На виконання команд необхідно затрачати значний час, причому час виконання різних команд не однаковий (різна кількість машинних тактів). Ці фактори негативно впливають на продуктивність ПЕОМ, тому починаючи з МП Intel486 застосовують комбіновану архітектуру, а саме у CISC-процесор 40 вкраплюють RISC-ядро.

30 Що таке RISC- архітектура комп’ютерних систем?

Мікропроцесори з архітектурою RISC (Reduced Instruction Set Computer) використовують порівняно невеликий (скорочений) набір найуживаніших команд. Цей набір визначено внаслідок статистичного

аналізу значної кількості програм для головних галузей застосування CISC-процесорів. Особливістю RISC-архітектури є те, що всі команди мають однаковий формат, працюють з операндами, які розташовані у регістрах процесора. Звертання до пам'яті виконується за допомогою спеціальних команд завантаження регістра і запису. Невеликий набір команд і простота їхньої структури дають змогу реалізувати повністю апаратне виконання й ефективний конвеєр з порівняно незначним об'ємом обладнання. Завдяки цьому команди виконуються в 2-4 рази швидше, ніж у звичайних CISC з тою ж тактовою частотою. Сьогодні RISC-процесори здебільшого використовують для побудови співпроцесорів та спецпроцесорів, інтелектуальних контролерів, багатопроцесорних систем та ін.

31 Що таке VLIV- архітектура комп’ютерних систем?.

В деяких серверних процесорах та графічних процесорах (англ. GPU -Graphical Processor Unit) використовують архітектуру VLIW (англ. very long instruction word — «дуже довга машинна команда») — архітектуру процесорів з декількома обчислювальними пристроями. Одна інструкція VLIW-процесора містить декілька операцій, які повинні виконуватись паралельно. В суперскалярних

процесорах також є декілька обчислювальних модулів, але завдання розподілу між ними роботи розв’язується апаратно. Це дуже ускладнює дизайн процесора і може призвести до помилок. У VLIW-

процесорах завдання розподілу виконується під час компіляції і в інструкціях явно вказано, який обчислювальний пристрій має виконувати яку команду.VLIW можна вважати логічним продовженням ідеології RISC, яке поширює її на архітектури з декількома обчислювальними модулями.

32 Що означає термін « системна магістраль»

Для реалізації тої чи іншої програми необхідні арифметико-логічний пристрій, пристрій пам’яті, пристрій керування,пристрій введення/виведення інформації. Взаємодія цих пристроїв відбувається через так звану системну магістраль (СМ), або шину. У переважній більшості випадків СМ – це розширення шини МП(мікропроцесора), однак, не завжди (напр. МП –шістнадцятирозрядний, а зовнішня шина – восьмирозрядна.)

33 Що таке командний цикл і як він пов'язаний з тактовою частотою процесора?

Командний цикл — це час, потрібний для опрацювання однієї команди. Він поділяється на 1-5 машинних циклів. Машинний цикл — це час звертання ЦП до системної шини для виконання операції читання/запису. Перший машинний цикл — вибірка коду операції. Мікротакти — час для виконання мікрооперації (мікротактів може бути від 1 до 5). 1 мікротакт — період тактової частоти. Машинний цикл може мати від 3 до 5 мікротактів. Тому один командний цикл може виконуватися від 15 до 25 періодів тактової частоти.

Источник:<http://12fan.ru/936030765.html>

34 Загальні принципи побудови ЕОМ.

Архітектура ЕОМ залежить від типу центрального процесора чи мікропроцесора (МП). Визначальним моментом є розрядність МП (8, 16, 32, 64 і т. д.). ЕОМ, зібрані на базі цих МП, мають не тільки певний тип МП, а й функціональні розширювачі, контролери, гнучкі та жорсткі диски, клавіатуру, дисплей та інші вузли.Відомо також, що розв'язування певної задачі на ЕОМ поділене на частини. Найпростіша частина – це машинна команда. Набір машинних команд, які записані у певній послідовності, становлять машинну програму. Для реалізації тої чи іншої програми необхідні арифметико-логічний пристрій, пристрій пам’яті, пристрій керування, пристрій введення/виведення інформації.

Взаємодія цих пристроїв відбувається через так звану системну магістраль (СМ), або шину. Між МП та ОП є зв'язок, тобто розрядність МП пов’язана з обсягом ОП. Наприклад, 8-розрядний МП – ОП 64 Кбайт, для 16 розрядної – від 1 до 16 Мбайт.Швидкість виконання операцій визначена тактовою частотою МП та магістральної шини.

35 Якими типами даних оперує мікропроцесор?

1. Біт (bit) – поодинокий двійковий розряд.

2. Бітове поле (bit field) – група до 32 бітів.

3. Рядок бітів (bit string) – послідовність бітів довжини до 4 Гбіт.

4. Байт (byte) – ціле число, що займає 8 бітів (старший розряд відводиться під знак).

5. Беззнаковий байт (unsigned byte) – натуральне число, що займає 8 бітів.

6. Ціле слово (integer word) – ціле число, що займає 16 бітів.

7. Беззнакове ціле (unsigned integer, word) – натуральне число, що займає 16 бітів.

8. Довге ціле (long integer, long word) – ціле число, що займає 32 біти.

9. Довге беззнакове ціле (unsigned long integer) – натуральне число, що займає 32 біти.

10.Чотирикратне ціле (quad integer, quad word) – ціле число, що займає 64 біти.

11. Чотирикратне беззнакове ціле (unsigned quad integer) –натуральне число, що займає 64 біти.

12. Символ (char) – байтове подання керівних та алфавітно-цифрових символів ASCII.

13. Рядок (string) – неперервна послідовність, утворена із байтів слів чи подвоєних слів від 1 байта до 4 Гбайт.

14. Двійково-десятковий код (binary coded decimal, BCD) – байтове (незапаковане) подання десяткових цифр від 0 до 9.

15. Запакований двійково-десятковий код – байтове подання від 0 до 9 в одному байті.

16. Короткий вказівник, зсув (short pointer, offset) – 16- або 32-розрядна адреса, що непрямо визначає комірку пам'яті.

17. Вказівник (pointer) – повна адреса елемента пам'яті, яка містить 16-бітний або 32-розрядний зсув.

36 Як представляють числа з плаваючою комою у ПЕОМ?

У тих випадках, коли МП взаємодіє з арифметичним співпроцесором, додатково використовують знакові 32-, 64- та 80-розрядні формати даних з плаваючою комою.

37 Назвіть типи і функції шин мікропроцесора.

1 – внутрішня шина мікропроцесора

2 – шина команд

3 – шини зв’язку регістрів із арифметико-логічним пристроєм (АЛПр)

Під час виконання програми чергова команда через шину команд завантажується в АЛПр, а дані через внутрішню шину мікропроцесора – у регістри загального призначення.

38 Які категорії регістрів доступні програмісту у 32-розрядному процесорі?

1) регістри загального призначення;

2) регістри сегментування;

3) регістр ознак;

4) регістри керування;

5) регістри системної адреси;

6) регістр тестів;

7) регістр відлагоджування

39 У який спосіб процесор опрацьовує рядки даних?

Рядкові команди, такі як MOVS (переслати рядок), CMPS (порівняти рядок), LODS

(завантажити рядок), STOS (записати рядок) і SCAS (сканувати рядок) не

використовують жодного з розглянутих типів адресації для вибору своїх операндів.

Вміст індексних регістрів (SI і/або DI) використовують для безпосереднього

визначення потрібної ділянки пам'яті. Регістр SI завжди використовують як вказівник

першого байта чи слова рядка-джерела.

Регістр DI застосовують як вказівник першого байта чи слова рядка-отримувача.

Команда LODS пропонує використання регістра SI як вказівника джерела. Команди

STOS і SCAS використовують регістр DI як вказівник отримувача. Команди MOVS і

CMPS застосовують обидва регістри. Переміщувана адреса, яка є в регістрі DI, завжди

стосується поточного додаткового сегмента. Для команд робіт з рядками даних можна

визначити і префіксні команди, які дають змогу переприсвоювати сегмент даних (для

команд LODS, MOVS і CMPS) чи додатковий сегмент (для команди SCAS) іншому

сегменту, який міститься в будь-якій частині пам'яті 8086(88):

Під час виконання рядкової команди збільшення або зменшення вмісту регістрів SI чи

DI визначене станом (нульовий чи одиничний) ознаки напряму. Залежно від того, з чим

працює команда – з байтом чи з словом, – вміст індексних регістрів

збільшується/зменшується, відповідно, на 1 чи 2.

40 За якими адресами (молодшими чи старшими) зберігається байт молодшого порядку у подвійному слові?

Адреса деякої ділянки пам’яті яка розглядається як слова рівна адресі молодшого байту

41 Що таке переривання і з якою метою їх застосовують? **Переривання** — це тимчасове припинення виконання поточної програми, яке відбувається апаратно. Після цього повинна настати реакція на подію, тобто опрацювання переривання. Використовують переривання з такою метою: 1) для збільшення ефективності роботи центрального процесора; 2) для доступу до апаратних засобів і програм, які контролює операційна система; 3) для виконання операцій уведення – виведення незалежно від процесора (унаслідок різної швидкості виконання).

42 Яка відмінність між перериваннями внутрішніми і зовнішніми? зовнішні (апаратні) — події, які створені зовнішніми джерелами (наприклад,

периферійними пристроями) та можуть відбутися в довільний момент

внутрішні — події в самому процесорі як результат порушення якихось умов при

виконанні машинного коду:

* у разі ділення на нуль;
* під час виконання програми, якщо ознака TF = 1 (покроковий режим);
* у разі виконання команди з шістнадцятковим кодом СС. Це так зване переривання у заданій точці програми, що виникає під час налагодження програми.

43 Які переривання називають маскованими, а які немаскованими?

* масковані - їх опрацювання можна відкласти на пізніший час
* немасковані - мають найвищий пріоритет, а мікропроцесор негайно обслуговує їх

44 Опишіть алгоритм опрацювання маскованих переривань.

Масковані переривання це зовнішні переривання, що надходять по лінії INTR. Команда завжди виконується до кінця і тільки після цього починається опрацювання запиту на переривання. Якщо ознака переривання IF=0 (переривання неможливе), то МП ігнорує запит. Якщо ознака дорівнює 1 (переривання дозволене), то МП підтверджує вимогу переривання і передає керування тій процедурі, яка повинна обслужити вимогу. Для цього МП виконує вісім таких операцій:

1) генерує сигнал підтвердження зовнішнього переривання. Цей сигнал повідомляє зовнішній пристрій, що його вимога прийнята;

2) зчитує код переривання, який надходить на інформаційну шину від зовнішнього пристрою;

3) вміст регістра ознак записує в комірку пам’яті, адреса якої зберігається у поточній вершині стеку, яка визначається регістрами SS і SP;

4) занулює ознаку переривань (це запобігає появі нового переривання);

5) занулює ознаку пастки TF (це робить неможливим покроковий режим);

6) у стек завантажується вміст вказівника команд ІР;

7) у вказівник команд IP засилається 16-бітове слово, яке міститься за такою адресою (фізичною): (тип переривання \*4) і (тип переривання \*4)+1;

8) у регістр сегмента команд CS засилається 16-бітове слово, яке міститься у комірках пам’яті з фізичними адресами: (тип переривання \*4)+2 і (тип переривання \*4)+3.

Після виконання двох останніх операцій керування передається процедурі обслуговування переривань, яка містить машинні команди, потрібні для задоволення маскованого переривання.

45 Опишіть алгоритм опрацювання немаскованих переривань.

Ці переривання надходять у МП по лінії NMI (від'єднання живлення, збій пам’яті та ін.). МП у відповідь на сигнал NMI виконує таку послідовність операцій:

* вміст регістра ознак записує в комірку пам’яті, адреса якої зберігається у поточній вершині стеку, яка визначається регістрами SS і SP;
* занулює ознаку переривань (це запобігає появі нового переривання);
* занулює ознаку пастки TF (це робить неможливим покроковий режим);
* у стек завантажується вміст регістра сегмента команд CS;
* у стек завантажується вміст вказівника команд IP;
* 16-бітове слово з комірки з фізичною адресою 00008h записує у регістр IP;
* 16-бітове слово з комірки з фізичною адресою 0000Аh записує у регістр CS. Після цього, як і для маскованих переривань, виконується процедура обслуговування.

46 Опишіть алгоритм роботи мікропроцесора при появі високого рівня на лінії RESET.

У разі появи сигналу в лінії RESET центральний процесор виконує такі дії:

* встановлює ознаку IF = 0. Це унеможливлює виконання маскованих і покрокових переривань;
* занулює вказівник команд ІР;
* засилає шістнадцятковий код FFFF у регістр сегмента команд.

47 Що означає увімкнення 14–го біта регістра ознак (вкладення задач) в «1»?

Ознака вкладення задач (NT). Цю ознаку використовують у захищеному режимі. NT задають для того, щоб відобразити, що виконання конкретної задачі вкладено в іншу задачу. Якщо її задано, то сегмент стану поточної вкладеної задачі має достовірний обернений зв’язок з сегментом стану попередньої задачі. Цей біт задають або відмінюють командами, що передають керування іншим завданням. Значення NT в EFLAGS перевіряють командою IRET, **яка у випадку NT=1 виконує перемикання задачі,** а у випадку NT=0 – звичайне повернення з переривання.

48 Які типи адресних просторів Ви знаєте?

логічний, лінійний і фізичний

49 Скільки є типів сегментів оперативної пам’яті і яких?

МП має чотири регістри сегментів: командний CS, даних DS, додатковий ES, стековий SS.

50 Назвіть компоненти логічної адреси?

складається із селектора сегмента і зміщення.

51 Що називаємо виконавчою адресою?

Виконавчою адресою (ВА) операнда називають адресу всередині сегмента, яку процесор обчислює за певними правилами. ВА є переміщуваним 16-розрядним числом без знака, що забезпечує доступ до кожного байта сегмента.

52 Скільки і які компоненти використовують для формування виконавчої адреси у 16-розрядних процесорах?

3 компоненти. Поле Mod (від Mode – режим), поле Reg (від Register/Memory – регістр/пам'ять), поле Rm (від Register/Memory – регістр/пам'ять)

53 Скільки і які компоненти використовують для формування виконавчої адреси у 32-розрядних процесорах?

4: Зміщення, База, Індекс, Масштаб

54 Які мінімальні та максимальні розміри сторінки і сегмента 32-розрядного процесора?

Пам'ять може бути розбита на один або декілька сегментів різної довжини, які можуть бути перенесені на диск або розподілені між програмами, або ж організована в одну чи більше 4 Кбайтових сторінок.

Для використання системи віртуальної пам’яті 80386 підтримує повну відновлюваністьдля всіх помилок на сторінці і сегменті. Пам’ять може бути організована в один або більше сегментів різної довжини до 4 Гбайт.

55 Скільки рівнів захисту має 32-розрядний процесор?

Процесори забезпечують чотирирівневу систему захисту пам'яті і уведення/виведення, перемикання задач.

56 Який розмір віртуальної пам’яті можливий для використання програмістом у 32-розрядному процесорі? Розмір віртуального адресного простору за7лежить від конкретної апаратної платформи. Ha 32-розрядних х86-системах теоретичний максимум для загального віртуального адресного простору складає 4 Гб.

57 Що таке дескриптор? ***Дескриптори*** – це структури даних, які використовують для означення властивостей програмних елементів (сегментів, вентилів і таблиць). Дескриптор визначає положення елемента у пам'яті, розмір області, яку він займає (тобто межу), його призначення і характеристику захисту. Дескриптори 16- і 32-розрядних процесорів відрізняються розрядністю поля базової адреси (24 і 32 біти), а також трактуванням поля межі.

58 Для чого слугують біти D і P дескриптора? Біт Р (присутність) дорівнює 1, якщо сегмент завантажується у фізичну пам’ять. Якщо Р=0, то будь-які спроби отримати доступ до сегмента викликають виняток неприсутності (виняток 2).

Біт D (Default Operation Size) визначає довжину замовчування для операндів і виконавчих адрес. Якщо D=1, то використовують 32- бітові операнди і 32-бітові режими адресування. Якщо D=0, то застосовуються 16-бітові операнди і 16-бітові режими адресування.

59 З якою метою у процесорі запроваджено розширення ММХ? Розширення ММХ застосовують для організації мультимедійної роботи та опрацювання 2D і 3D-графічних файлів. Головна його ідея полягає у використанні технології ОКБД

60 У чому полягає суть терміну «арифметика з насиченням» ? Суть такої арифметики полягає у тому, що замість переповнення чи антипереповнення фіксується максимально чи мінімально можливе значення величини.

61 Яка відмінність між скалярним і суперскалярним процесором?

Скалярним називають процесор з єдиним конвеєром виконання команд (усі процесори Intel до 80486

включно).

Суперскалярний процесор має більше одного конвеєра (Pentium має 2, Pentium Pro – 3), які здатні

опрацьовувати інструкції паралельно.

62 Що означає віртуальний 8086-режим роботи 32-розрядного процесора?

**Режим виртуального 8086** (V86, VM86, иногда просто *виртуальный режим*) — режим адресации процессоров семейства [x86](https://ru.wikipedia.org/wiki/X86) совместимый с прародителем семейства — процессором Intel [8086](https://ru.wikipedia.org/wiki/8086). Является подрежимом [защищенного](https://ru.wikipedia.org/wiki/%D0%97%D0%B0%D1%89%D0%B8%D1%89%D1%91%D0%BD%D0%BD%D1%8B%D0%B9_%D1%80%D0%B5%D0%B6%D0%B8%D0%BC). Впервые появился в процессоре 80386 и предназначался главным образом для создания т. н. «виртуальных [DOS](https://ru.wikipedia.org/wiki/DOS)-машин», [виртуальных сред](https://ru.wikipedia.org/wiki/%D0%92%D0%B8%D1%80%D1%82%D1%83%D0%B0%D0%BB%D1%8C%D0%BD%D0%B0%D1%8F_%D0%BC%D0%B0%D1%88%D0%B8%D0%BD%D0%B0) для исполнения приложений господствовавшей в то время в мире персональных ЭВМ операционной системы MS-DOS.

63 Які біти і у яких регістрах відповідають за вмикання сторінкового режиму доступу до пам’яті?

Механізм вмикають заданням біта PG=1 у регістрі CR0.Базовий регістр дескриптора підкачування СR2 є регістром лінійної адреси помилки підкачування. Він містить 32-бітову лінійну адресу, яка викликає визначення помилки в останній сторінці.

64 Як працює механізм посторінкової організації пам'яті?

В англомовній літературі для позначення

сторінкового типу організації пам'яті використовують термін "підкачування" (swapping), що

означає ще один тип керування пам’яттю з метою організації віртуальної пам’яті

багатозадачних ОС.

На відміну від сегментації, яка організовує програми і дані у модулі різного розміру,

підкачування ділить програмні модулі на численні сторінки одного і того ж розміру.

Підкачування прямо не стосується логічної структури програми чи даних, водночас селектори

сегмента можна розглядати як логічні імена модулів програми або структури даних.

65 Чи підтримує 32-розрядний процесор одночасну роботу зі сторінками і сегментами?

Так

66 Основи програмування мовою асемблер: система команд, операції введення-виведення, реалізація складних логічних структур мов програмування високого рівня мовою асемблер.

Команди мови асемблера - це символьна форма запису машинних команд. Команди мають наступний синтаксис:

[<Мітка>:] <мнемокод> [<операнди>] [; <коментар>]

Мітка - це ім'я. Мітка обов'язково повинна відділятися двокрапкою, але може розміщуватися окремо, в рядку, що передує решті частини команди.

Мітки потрібні для посилань на команди з інших місць, наприклад, в командах переходу.

Компілятор мови асемблера замінює мітки адресами команд.

Мнемокод - це службове слово, яке вказує операцію, яка повинна бути виконана. Мова асемблера використовує не цифрові коди операцій, а Мнемокоди, які легше запам'ятовуються. Мнемокод є обов'язковою частиною команди.

Операнди команди, якщо вони є, відокремлюються один від одного комами.

//тут тільки про команди

67 Етапи трансляції, компіляції, зв'язування програм. Поняття про машинні коди.

68 Робота з динамічною пам’яттю.

69 Як влаштована кеш-пам'ять процесора?

Система кеш-пам'яті процесора складається з двох блоків - контроллера кеш-пам'яті і власне самої кеш-пам'яті.

Контроллер кеш-пам'яті - цей пристрій, який керує вмістом кеша, отриманням необхідної інформації з оперативної пам'яті, передачею її процесору, а також поверненням в оперативну пам'ять результатів обчислень.

Коли ядро процесора звертається до контроллера за якимись даними, той перевіряє, чи є ці дані в кеш-пам'яті. Якщо це так, ядру вмить віддається інформація з кеша (відбувається так зване *кеш-попадання*).

Інакше ядру доводиться чекати надходження даних з повільної оперативної пам'яті. Ситуація, коли в кеші не виявляється потрібних даних, називається *кеш-промахом*.щ.

Завдання контроллера - зробити так, щоб кеш-промахи відбувалися якомога рідше, а в ідеалі - щоб їх не було взагалі.

Розмір кеша процесора у порівнянні з розміром оперативної пам'яті дуже малий. У ньому може знаходитися лише копія крихітної частини даних, які зберігаються в оперативній пам'яті. Але, не дивлячись на це, контроллер допускає кеш-промахи не часто.

70 Який тип адреси визначає положення даних у кеш-пам’яті? Дескриптори – це структури даних, які використовують для означення властивостей програмних елементів (сегментів, вентилів і таблиць). Дескриптор визначає положення елемента у пам'яті, розмір області, яку він займає (тобто межу), його призначення і характеристику захисту.

71 Як працює мехамізм LRU?

LRU (Least Recently Used – той, що використовувався найдавніше).

Алгоритм псевдо LRU: біти LRU оновлюються під час кожного "потрапляння" в КП або заповнення рядка. Біти достовірності в разі очищення КП дорівнюють нулю. Якщо у циклі виявиться "промах" в КП і потрібно передати з пам'яті певний рядок, то для заповнення буде вибрано один з чотирьох рядків множини. Якщо у множині є недостовірний рядок, то власне він і заповниться. Якщо ж усі рядки достовірні, то замінюваний рядок буде вибрано за допомогою бітів з LRU.

Схема вибору заміни рядка. Якщо всі рядки в множині достовірні, то вибір рядка для

заміни відбувається за такою схемою:

В0 В1 В2

0 0 х змінюється рядок L0

0 1 x змінюється рядок L1

1 x 0 змінюється рядок L2

1 x 1 змінюється рядок L3

Модифікація бітів LRU відбувається так:

якщо останнє звертання в множині було до рядка L0 або L1, то біт В0 =1, а в разі звернення до рядка L2 або L3 біт В0=0;

якщо останнє звернення в парі L0-L1 було до рядка L0, то В1=1, а в разі звернення до L1 – В1=0;

якщо останнє звернення в парі L2-L3 було до рядка L2, то В2=1, а в разі звернення до L3 – В2=0.

72 Яка відмінність між прямим та асоціативним типами КЕШ-памяті?

Кеш прямого відображення передбачає, що адреса пам’яті, за якою відбувається звернення до кеша, однозначно визначає рядок кеша, де може знаходитись відповідний блок. Кеш цього типу застосовується у вторинному кеші більшості системних плат сучасних ПЕОМ. У цьому типі архітектури легко обчислити ємність кешованої основної пам’яті Мкеш

Мкеш = Vc \* 2n,

де Vc – ємність кеш-пам’яті , n – розрядність пам’яті тегів.

У повністю асоціативному кеші будь-який його рядок може відображати будь-який блок основної пам’яті. Зреалізований для обмеженого числа кешів першого рівня.

73 Як реалізовано набірно-асоціативний тип КЕШ-памяті?

Набірно-асоціативний кеш містить кілька паралельних і погоджено працюючих каналів прямого відображення. Ця архітектура широко застосовується для первинного кешу сучасних ПЕОМ. Ємність кешованої пам’яті визначається так само, як і у випадку прямого відображення, однак тут розрахунок ведеться для одного блоку а не всього кешу.

74 Як реалізовано трирівневий кеш у процесорах Intel?

У процесорі кеш організовано як двопортову з оберненим записом розділену кеш-пам'ять першого рівня L1 ємністю 64 Кбайт (по 32 Кбайти на команди і дані), другого рівня L2 ємністю 256 Кбайт, яка заінтегрована у одному кристалі з ядром, і L3, яка розташована на материнській платі. Процесор містить 21,3 млн транзисторів на кристалі площею 118 мм2 і споживає струм 12,4 А з напругою живлення 2,4 В.

75 Які головні відмінності між 32 та 16-розрядними мікропроцесорами ?

32-розрядні мають розширену систему команд. найціннішим є те, що у цих процесорах значно відсунуто верхню межу адресування оперативної пам'яті. Процесори можуть працювати у двох режимах:

реального та захищеного віртуального адресування.Він cкладається з центрального процесора, блока керування пам’яттю та шини інтерфейсу.

Характерною рисою 16 розр процесорів є те, що вони зорієнтовані на паралельне виконання команд і вибирання з пам'яті. Тобто є дві

частини, що працюють асинхронно: спряження з магістраллю і опрацювання даних чи команд.складається Пристрою спряження з магістраллю,пристрою опрацювання, регістрів загального призначення, сегментних регістри, адреси команд і ознак.

76 Який розмір пам’яті введення/виведення і за допомогою яких команд реалізовано ввід/вивід у процесорах Intel?

IN i OUT, **розмір** 64 КБ

77 Скільки 8-бітових портів може мати 32-розрядний процесор? 64К

78 Скільки 16-бітових портів може мати 32-розрядний процесор? 32К

79 З якою метою переривання поділяють за пріоритетами?

Оскільки переривання розпізнають тільки на межах команд (тобто тоді, коли одна

команда закінчується, а інша починається), то можливо, що активними одночасно можуть бути кілька переривань. У випадку одночасних переривань вони опрацьовуватимуться згідно з таким пріоритетом...

0

80 Яка відмінність між перериванням і винятком?

Відмінності між перериванням і вийнятком полягає в тому, що переривання опрацьовують асинхронні зовнішні умови, тоді як вийнятки - помилки команд.Хоч переривання n програма може виконати через прогрма INT n, однак процесор розглядає програмне переривання, як вийняток

81 Які регістри зберігаються у стеку перед опрацюванням переривання?

регістр ознак, регістр команд, сегментний регістр коду

82 Як можна змінити рівень привілеїв?

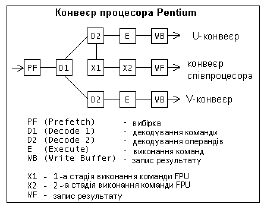
Зміна рівня привілеїв виконується тільки внаслідок передавання керування з

використанням вентилів включення задачі і переривання або вентилів пасток.

83 У який спосіб 32-розрядний процесор забезпечує 64 Тбайти пам’яті на задачу?

Будь-яке завдання на мікропроцесорі Intel80386 може мати 16 381 сегмент, довжиною до 4 Гбайт кожний,тобто забезпечує 64 Тбайти віртуальної пам’яті для кожної задачі.

84 Назвіть головні стадії конвеєра мікропроцесора типу Pentium.  
(U та V)



85 У чому полягає суть мікроархітектури NetBurst?

• застосовано технологію Hyper Pipelined (гіперконвеєр), тобто подвоєно до 20 етапів довжину конвеєра;

• подвоєно, порівняно з ядром процесора, тактову частоту роботи арифметико-логічних блоків. Це дозволяє процесору виконувати деякі команди за половину такту, а цілочислові операції виконувати з подвоєною швидкістю;

• вдосконалено системну шину (400 МГц), яка втричі швидша від шини процесора Pentium III. Швидкість передавання даних між процесором Pentium IV і контролером пам’яті досягає 3,2 Гбайти/с;

• кеш-пам’ять процесора має 64-байтовий доступ (попередні процесори мали 32-байтовий доступ). У кеші першого рівня зберігають декодовані команди (приблизно 12000 мікрокоманд), що помітно поліпшує швидкодію кешу й збільшує ефективність його використання. Pentium IV містить кеш другого рівня ємністю 256 Кбайт та швидкістю передавання даних 48 Гбітів/с;

• вдосконалено систему динамічного виконання команд та покращено схеми передбачення розгалужень у програмі;

• додано 144 нових SIMD команди (128-розрядних), які дозволяють суттєво пришвидшити роботу різних програм.

86 Який біт дескриптора і у який стан (0 чи 1) його потрібно задати, щоб дескриптор був системним?

Біт S дескриптора сегмента визначає, чи є заданий сегмент системним сегментом коду, чи сегментом даних. Якщо S=1, то сегмент є або сегментом коду, або сегментом даних. Якщо S=0, то сегмент є системним.

87 Якого розміру сторінка може бути у процесорі Pentium?4 мб

88 Назвіть режими адресування 16-розрядного процесора фірми Intel.

Процесор Intel 80286. Випущений у 1982 р., друге покоління 16-розрядних процесорів. Розширена система команд. МП працює у двох режимах:

8086 Real Address Mode – режим реального адресування, повністю сумісний з 8086 (1 Мбайт);

Protected Virtual Address Mode – захищений режим віртуального адресування (16 Мбайт). Використання сторінкового механізму адресування дає змогу заадресувати 1 Гбайт віртуальної пам'яті кожної задачі.

89 Назвіть режими адресування 32-розрядного процесора фірми Intel.

У 1985 Intel випустила 32-бітний процесор 80386. З появою 32-розрядних процесорів 80386 фірми Intel процесори можуть працювати у трьох режимах: реальному, захищеному та віртуальному (емуляція режиму реальної адреси). (з нету)

Процесори можуть працювати у двох режимах: реального та захищеного віртуального адресування.

У реальному режимі процесор працює як дуже швидкий 8086, проте з 32-розрядним розширенням. Реальний режим також використовують для підготовки мікропроцесора до роботи в захищеному режимі. Віртуальний режим забезпечує доступ до дуже складного, сучасного способу керування

пам’яттю, а також для підкачування сторінок та інших можливостей мікропроцесора.(з його лекцій)

90 Які головні відмінності між 32 та 64-розрядними мікропроцесорами ?

Суть 64-розрядної архітектури одна і та ж: розрядність основних внутрішніх регістрів 64-бітових процесорів подвоїлася (з 32 до 64 біт), а 32-бітові команди x86-кода отримали 64-бітові аналоги. Крім того, за рахунок розширення розрядності шини адрес обсяг пам'яті, що адресується процесором, істотно збільшився.

**x86-64** (також відомий **як x64, x86\_64 та amd64**) є 64-бітний варіант набору інструкцій x86. Він підтримує значно більшу кількість (теоретично, 264 байт або 16 exbibytes ) віртуальної пам'яті і фізичної пам'яті, порівняно з 32-розрядними попередниками. x86-64 має також 64-бітові регістри загального призначення і інші численні удосконалення.

Основною визначальною характеристикою AMD64 є наявність 64-бітових регістрів загального призначення (наприклад, RАX і RBX), арифметичних і логічних операцій над 64-бітними числами, а також 64-бітових [віртуальних адрес](http://режим).

91 Які головні відмінності між CISK та RISC-архітектурою МП?

CISK-архітектура (Complex Instruction Set Computing). Це родина Intel x86 (правда, останні моделі 486 та 586 мають деякі вкраплення RISC-архітектури) та МП фірми Motorola родини 68 К. МП з архітектурою RISC (Reduced Instruction Set Computer) використовують порівняно невеликий (скорочений) набір найуживаніших команд. Цей набір визначено внаслідок статистичного аналізу значної кількості програм для головних галузей застосування CISC-процесорів. Особливості RISC-архітектури ті, що всі команди мають однаковий формат, працюють з операндами, які розташовані у регістрах процесора. Звертання до пам'яті виконується за допомогою спеціальних команд завантаження регістра і запису. Невеликий набір команд і простота їхньої структури дають змогу реалізувати повністю апаратне виконання й ефективний конвеєр з порівняно незначним об'ємом обладнання. Завдяки цьому команди виконуються в 2-4 рази швидше, ніж у звичайних CISC з тою ж тактовою частотою. Продуктивність такого процесора на 30% більша ніж звичайного. Перші експериментальні МП (RISC II, MIPS, IBM 801) з’явилися ще у 1980-81 рр. Мікропроцесорну революцію продовжили провідні фірм у 1985-86 рр. (Acorn, AMD, IBM, Sun Microsystems). Головно це тримікронна СМОS технологія, розрядність шини даних 32 розряди. Сьогодні RISC-процесори здебільшого використовують для побудови співпроцесорів.

92 Для чого потрібні регістри TR? Для звертання до сегмента стану задачі TSS.

93 Головні характеристики архітектури AMD64.

Основною визначальною характеристикою AMD64 є наявність 64-бітових регістрів загального призначення (наприклад, RАX і RBX), арифметичних і логічних операцій над 64-бітними числами, а також 64-бітових віртуальних адрес.

94 Суть операції No eXecute Bit у процесорах AMD.

No-Execute bit Апаратний NX-Bit (No eXecute Bit в процесорах AMD), або XD-Bit (Execute Disable Bit в процесорах Intel) це технологія, яка запобігає можливості виконання даних як коду. Біт "NX" (біт 63 запису таблиці сторінок) дозволяє операційній системі вказати, які сторінки віртуального адресного простору може містити виконуваний код, а які ні. Спроба виконати код з сторінки, не поміченої " виконуваною" призведе до порушення доступу до пам'яті, подібно спробі записати на сторінку тільки для читання. Аналогічна функція була доступна на процесорах x86 з моменту 80286 в якості ознаки дескрипторів сегментів. Сегментовані рішення вже давно вважаються застарілим режимом роботи, і всі нинішні операційні системи в силі обійти його, встановлюючи всі сегменти базової адреси в нуль (в реалізації 32 біт) і обмежитися розміром 4 ГБ. AMD був першим x86 сім'ї, який відмовився від режиму лінійної адресації.

95 Адресування у межах «канонічної форми»

Специфікація AMD вимагає, щоб біти з 48 до 63 будь-якої віртуальної адреси повинні бути копіями біта 47, інакше процесор згенерує виняток. Адреси, сформовані за дотримання цього правила, називають "канонічною формою." Ця функція полегшує масштабованість, правда 64-розрядної адресації. Багато операційних систем (у тому числі, і сім'я Windows NT ) залишають верхню половину адресного простору (простір ядра ) для себе і віддають нижню адресну половину ( простір користувача ) для коду програми, в режимі користувача . Стеки, купи та інші області даних гарантує дизайн "канонічних адрес", так що кожна сумісна реалізація AMD64 має, по суті, дві половинки пам'яті: нижня половина починається з 00000000'00000000 і "росте вгору", як більш віртуальна адреса. Крім того, дотримання «канонічної форми» адрес, перевіряючи невикористовувані біти адреси запобігає їх використання операційною системою в помічених вказівниками , як ознаки, привілеїв маркерів і т.д., а таке використання може стати проблематичним, коли архітектура має продовжений до реалізації більш віртуальний біт адреси.

96 Режими роботи AMD64.

Довгий режим (Long Mode)Основний режим роботи - це поєднання режиму 64-бітного процесора і режиму комбінованої 32-бітної і 16-бітної сумісності. Він використовується 64-розрядними операційними системами. Під 64-бітною операційною системою 64-бітові програми працюють в 64-бітному режимі, і 32-бітові та 16-бітові додатки у захищеному режимі (які не повинні використовувати або реальний режим або віртуальний режим 8086) запускають в режимі сумісності. Програми та програми реального режиму, які використовують віртуальний режим 8086, не можуть працювати в тривалому режимі, якщо ці режими не емулюються програмно. Однак, такі програми можуть бути запущені з операційної системи, що працює в тривалому режимі на процесорах підтримка VT-X або AMD-V , створюючи віртуальний процесор, що працює в потрібному режимі. У основному режимі майже немає втрати продуктивності для виконання захищеного коду режиму x86. Це на відміну від Intel IA-64 , де відмінності в наборі базових інструкцій означають, що для запуску 32-бітного коду він повинен бути виконаний або в режимі емуляції х86 (що робить процес повільнішим) або виділеного процесора x86. Тим не менше, на платформі x86-64 багато додатків x86 могли б виграти від 64-бітної перекомпіляції через додаткові регістри в 64-бітному коді і гарантованої SSE2 підтримки FPU, які компілятор може використовувати для оптимізації. Однак, для додатків, які повинні регулярно обробляти цілі числа ширші, ніж 32 біти, такі як криптографічні алгоритми, знадобиться переписати код обробки великих чисел для того, щоб скористатися 64-розрядними регістрами. Спадковий режим (Legacy Mode)Режим, який використовується у 16-бітовому («захищеному режимі» або «реальному режимі») 32-бітовихопераційних систем. У цьому режимі процесор працює як 32-бітний процесор x86, і тільки 16-розрядний і 32-бітний код може бути виконаний. Застарілий режим дозволяє використовувати максимум 32 біт віртуальної адресації, що обмежує віртуальний адресний простір 4 Гб. 64-розрядні програми не можуть бути запущені у стандартному режимі.

97 Відмінності між AMD64 і Intel 64.

Intel 64 в BSF і BSR інструкціях (Bit Scan Forward) діє по-іншому, ніж AMD64-х, коли джерела дорівнюють нулю, і розмір операнда дорівнює 32 біт. Процесор встановлює ознаку нуля і залишає верхні 32 бітів призначення не визначеними.

AMD64 має інший формат оновлення мікрокоду та контролю MSRs (модель-специфічних регістрів), тоді як Intel 64 знаряддя поновлення мікрокоду змінив тільки порівняно з 32-бітними процесорами.

Intel 64 не вистачає деяких MSRs, які вважаються архітектурними в AMD64. Вони включають в себе SYSCFG, TOP\_MEM і TOP\_MEM2.

Intel 64 дозволяє SYSCALL / SYSRET тільки в 64-бітному режимі (не в режимі сумісності), і дозволяє SYSENTER / SYSEXIT в обох режимах. AMD64 не вистачає SYSENTER / SYSEXIT в обох підрежимах тривалого режиму .

У 64-бітному режимі префікс 66h (префікс розміру операнда) веде себе по-різному. Intel 64 ігнорує цей префікс, а AMD64 використовує 16-бітовий зсув поля в інструкції, і очищає верхні 48 біт вказівника інструкцій.

Процесори AMD мають кращі можливості виконання команд з плаваючою комою. Невірний виняток

при виконанні FLD або FSTP з 80-бітами сигналізує NaN, в той час як процесори Intel цього не мають.

У Intel 64 відсутня можливість збереження і відновлення режиму з плаваючою комою (залучення

FXSAVE іFXRSTOR інструкцій).

Останні процесори AMD64 знову мають обмежену підтримку сегментації, через довгий режим

(LMSLE

98 Обмеження операційних систем на архітектури AMD64 та Intel 64.

99 Класифікація багатопроцесорних (багатоядерних) систем.

Класифікація: SMP, NUMA, кластери SMP-системи(Symmetrical Multi Processor systems). Всі процесори мають цілком рівноправний доступом до загальної оперативної пам яті . Працювати з цими системами програмістам дуже зручно.Створювати подібні системи дуже важко: 2-4 процесори – практична межа для для SMP-систем(через велику вартість) NUMA-системи(Non-Uniform Memory Access systems). Пам ять стає «неоднорідною»: одна її частина працює «швидше», інша – «повільніше». У системі утворюються своєрідні «острівці» зі своєю, швидкою «локальною» оперативною пам’ятьтю, з’єднані повільними лініями зв язку. Звернення до «своєї» пам яті відбуваються швидко, до «чужої» - повільніше, причому, чим «далі» чужа пам ять розташована, то повільніший до неї доступ Створювати NUMA-системи набагато простіше, ніж SMP, тоді як програми писати складніше – не враховуючи неоднорідностей пам’яті ефективну програму для NUMA не напишеш. Кластери — певна кількість «майже самостійних» комп’ютерів (вузли кластера чи «ноди»), об’єднаних швидкодіючими лініями зв’язку і використовується як єдиний обчислювальний ресурс. «Загальної пам’яті» тут може і не бути взагалі, але, у принципі, й тут її нескладно реалізувати, створивши «дуже неоднорідну» NUMA-систему. Але практично зазвичай зручніше працювати з кластерами в «явному» вигляді, явно описуючи у програмі всі пересилки даних між його вузлами · Intel сьогодні воліє ворювати SMP-системи; · AMD, IBM і Sun - ті чи інші варіанти NUMA. · Основна «сфера застосування» кластерів – суперкомп’ютери. • Обчислявальний кластер ІФКС складаються із 17 обчислявальних вузлів, одного координуячого вузла та трьох вузлів системи збереження данних. Для розрахунків доступні 136 процесорних ядер Intel Xeon CPU E5405 із частотоя 2.0ГГц, що даю сумарну пікову продуктивность кластера порядку 1.1Tфлопс. У той же час тести Linpack показуять продуктивність близько 850Гфлопс, що досягаються завдяки високошвидкісній мережі Infiniband із двохсторонньоя пропускноя здатністя 10Гбіт/c. • Все програмне забезпечення, встановлене на кластері ІФКС ю вільнорозповсяджуваним. В якості операційної системи було вибрано один із дистрибутивів Linux, що спеціально розроблений для кластерів – Rocks. Для керування завантаженням задач на кластері встановлена система керування чергами SGE. Для паралельних розрахунків використовуються OpenMPI. Наявний великий набір бібліотек необхідних для обчислявальних робіт. Система збереження данних на даний момент складаю 12ТБ. Вона побудована на основі RAID-5 масиву жорстких дисків об’юмом 1ТБ і 2ТБ та високопродуктивної мережевої файлової системи Lustre. Також присутня можливість автоматичної гарячої заміни жорстких дисків у разі виходу із ладу одного із них. Кластер під’юднаний до української академічної мережі оптоволоконним каналом зв’язку із пропускноя здатністістя 1Гбіт/c і ю учасником національного ГРІД-проекту.

100 Головні характеристики мікропроцесорів на основі мікроархітектури Nehalem.

Мікропроцесори на основі Nehalem використовують більш високі тактові частоти і є більш енергоефективними, ніж Penryn мікропроцесори. Знову вводиться Hyper-threading, поряд зі зниженням обсягу кеш-пам'яті L2, а також збільшенням кеш-пам'яті L3, що є загальним для всіх ядер.

101 Особливості архітектури Intel Haswell .

Можливий повний редизайн архітектури (як NetBurst після P6)

• Техпроцес — 22 нм

• Конструктивне виконання LGA 1150

• Базова кількість ядер — 2 або 4

• Повністя новий дизайн кеша

• Покращені механізми енергозбереження

• Підтримка технології Thunderbolt

• Можливий інтегрований векторний співпроцесор

• Додано інструкції Advanced Vector Extensions 2, зокрема FMA (Fused Multiply Add)

• Розширення команд TSX (Transactional Synchronization Extensions) для апаратної підтримки транзакційної памяті

• Пам'ять EDram об'юмом 64 Мбайт (окремий кристал, але загальна упаковка)

• Енергоспоживання на 30 відсотків нижче в порівнянні з аналогами з лінійки Sandy Bridge

• У порівнянні з Ivy Bridge маю принаймні 10% приросту продуктивності CPU. Удвічіпотужніша інтегрована GPU.

102 Особливості архітектури Broadwell

Broadwell - кодова назва процесорної мікроархітектури, розробляваної Intel. Процесори Broadwell стануть першими справжніми SoC на думку Bright Side of News. Ймовірно, в кристал будуть інтегровані контролери інтерфейсів Ethernet, Thunderbolt і USB 3.0.На думку японського PC Watch (його наводить у своїй публікації X-Bit labs), у Broadwell НЕ буде версій з LGA роз'юмом; всі чипи будуть припаяватися до материнських плат.

Особливості архітектури

• Згідно з принципом тік-так, в Broadwell плануються зменшений техпроцес (до 14 нм).

• У мікроархітектурі ймовірно будуть додані розширення:

• ADX (інструкції ADOX / ADCX) для роботи з числами довільної точності.

• Інструкція rdseed для генерації випадкового числа розміром 16, 32 або 64 біта відповідно до вимозі NIST SP 800-90B і NIST SP 800-90C (на відміну від rdrand, яка відповідаю NIST SP 800-90A). Для її використання в додані функції int \_rdseedXX\_step (uintXX\_t \* random\_val, де під XX маються на увазі розмір в 16, 32 або 64 біта) • Інструкція PREFETCHW, яка може бути використана за допомогоя вбудованої функції \_mm\_prefetch з підказкоя \_MM\_HINT\_ET0.

• Сокет буде LGA 1150 • PREFETCHW інструкції • Повна версія (LGA1150 сокет): Broadwell-H

• Комп'ятери / Ноутбуки версії (PGA роз'юм): Broadwell-M

• BGA версії

• Графічний рівень швидкодії в порівнянні з підсистемоя Haswell зросте на цілих 40%

103 Особливості архітектури Skylake

• Skylake буде створений по 14 нм процесу. Покищо офіційні подробиці щодо розвитку цієї мікроархітектури скупі. Архітектура (14 нм процес).

• Передбачає підтримку DDR4 SDRAM.

• LGA 1151 сокет

• Z170 чiпсет

TPD до 95W

• підтримка 20 PCI Express 3.0

• підтримка PCI Express 4.0 (Skylake-E/EP/EX)

• підтримка Thunderbolt 3,0 (Alpine Ridge)

• 128 КБ L1 кеш

• 512 КБ кеш-пам'яті L2, 16-смуговий асоціативний (6 циклів)

• 12 МБ кеш-пам'яті L3, 24-смуговий асоціативний (12 циклів)

• кеш 128 Мб L4 eDRAM

• підтримка SATA Express

• AVX-512F: Advanced Vector Extensions

• Intel SHA Extensions: SHA-1 and SHA-256 (Secure Hash Algorithms)

• Intel MPX (Memory Protection Extensions)

• Intel ADX (Multi-Precision Add-Carry Instruction Extensions)